

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-242770

(43)公開日 平成10年(1998)9月11日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 3 F	1/02	H 0 3 F	1/02
	3/60		3/60
H 0 3 G	3/02	H 0 3 G	3/02 Z
	3/30		3/30 B
H 0 4 Q	7/32	H 0 4 B	7/26 V

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21)出願番号 特願平9-45068

(22)出願日 平成9年(1997)2月28日

(71)出願人 000100997

アキタ電子株式会社

秋田県南秋田郡天王町天王字長沼64

(72)発明者 小野 貴司

秋田県南秋田郡天王町天王字長沼64 アキ
夕電子株式会社内

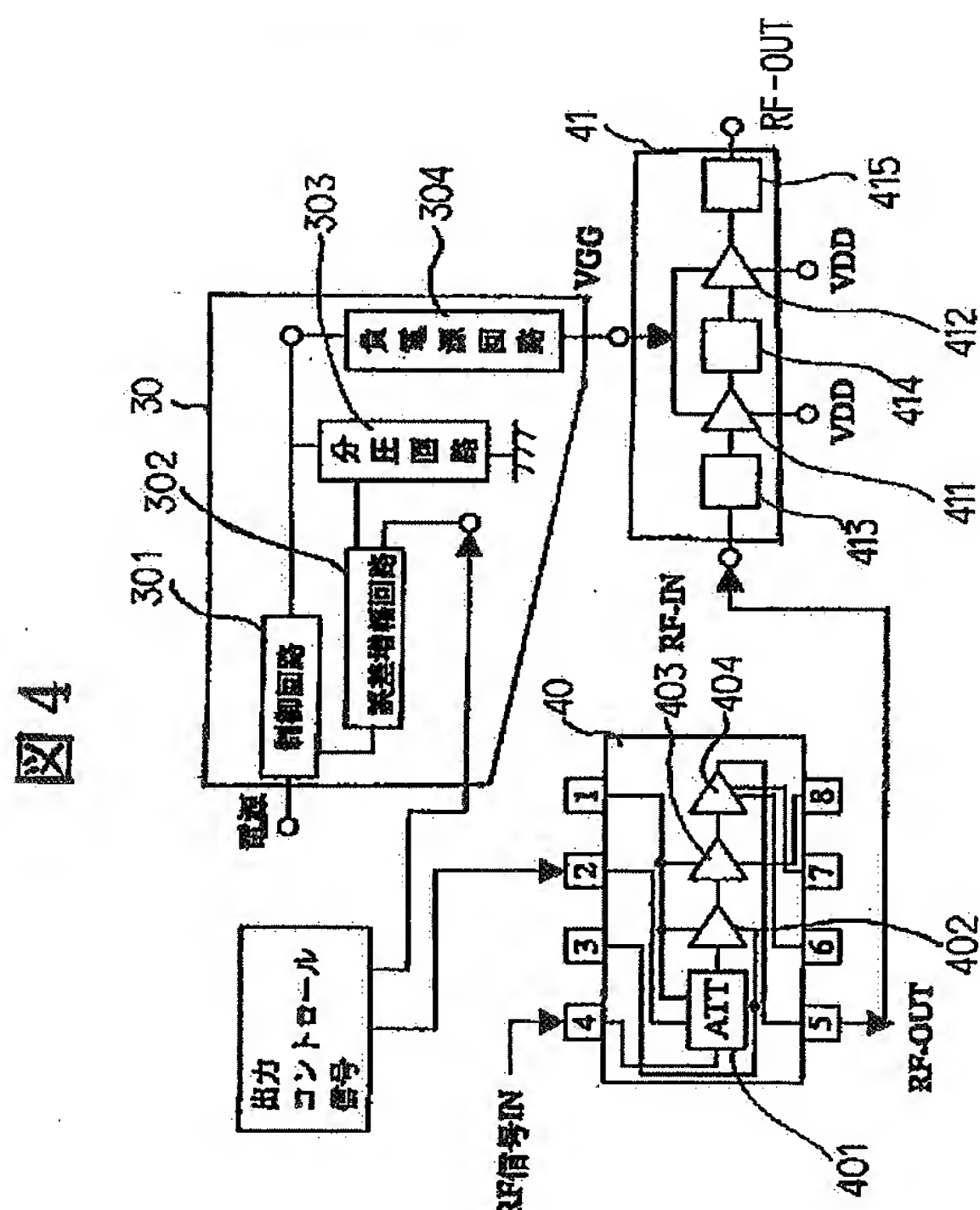
(74) 代理人 弁理士 秋田 収喜

(54)【発明の名称】 増幅回路の制御方法、増幅回路、増幅回路モジュール、携帯電話機

(57) 【要約】

【課題】 入力される入力信号の入力レベルが小さい場合であっても、その電源効率を向上させることが可能となる増幅回路を提供する。

【解決手段】 増幅器（４１）と、外部からの出力コントロール信号に基づき、増幅器の制御端子に印加されるバイアス電位を低減させるバイアス電位低減手段（３０）を具備する。このバイアス電位低減手段は、出力端子が増幅器の制御端子（ＶＧＧ）に接続される負電圧生成回路（３０４）と、負電圧生成回路の入力端子と基準電位との間に接続される分圧回路（３０３）と、出力コントロール信号と分圧回路から出力される分圧出力との差を増幅する誤差増幅回路（３０２）と、バイアス電源と負電圧生成回路の入力端子との間に接続され、誤差増幅回路からの出力に基づいて負電圧生成回路の入力端子に印加する電位を制御する制御回路（３０１）とを具備する。



【特許請求の範囲】

【請求項1】 増幅回路の制御方法において、増幅回路から低出力電力の出力信号を出力する時に、増幅回路の制御端子に印加されるバイアス電位を低減させることを特徴とする増幅回路の制御方法。

【請求項2】 増幅回路から低出力電力の出力信号を出力する時に、増幅回路の電源端子に印加される電源電位を、さらに低減させることを特徴とする請求項1に記載された増幅回路の制御方法。

【請求項3】 増幅器と、外部からの出力コントロール信号に基づき増幅器の制御端子に印加されるバイアス電位を可変するバイアス電位可変回路を具備することを特徴とする増幅回路。

【請求項4】 外部からの出力コントロール信号に基づき増幅器の電源端子に印加される電源電位を可変する電源電位可変回路を、さらに具備することを特徴とする請求項3に記載された増幅回路。

【請求項5】 前記電源電位可変回路は、前記増幅器の電源端子と基準電位との間に接続される第1の分圧回路と、前記出力コントロール信号と前記第1の分圧回路から出力される分圧出力との差を増幅する第1の誤差増幅回路と、電源と前記増幅器の電源端子との間に接続され、前記第1の誤差増幅回路からの出力に基づいて前記増幅器の電源端子に印加する電源電位を可変する第1の制御回路とを具備することを特徴とする請求項4に記載された増幅回路。

【請求項6】 前記バイアス電位可変回路は、前記増幅器の制御端子と基準電位との間に接続される第2の分圧回路と、前記出力コントロール信号と前記第2の分圧回路から出力される分圧出力との差を増幅する第2の誤差増幅回路と、バイアス電源と前記増幅器の制御端子との間に接続され、前記第2の誤差増幅回路からの出力に基づいて前記増幅器の制御端子に印加するバイアス電位を可変する第2の制御回路とを具備することを特徴とする請求項3ないし請求項5のいずれか1項に記載された増幅回路。

【請求項7】 前記バイアス電位可変回路は、出力端子が前記増幅器の制御端子に接続される負電圧生成回路と、前記負電圧生成回路の入力端子と基準電位との間に接続される第3の分圧回路と、前記出力コントロール信号と前記第3の分圧回路から出力される分圧出力との差を増幅する第3の誤差増幅回路と、バイアス電源と負電圧生成回路の入力端子との間に接続され、前記第3の誤差増幅回路からの出力に基づいて前記負電圧生成回路の入力端子に印加する電位を可変する第3の制御回路とを具備することを特徴とする請求項3ないし請求項5のいずれか1項に記載された増幅回路。

【請求項8】 前記増幅器は、第1の増幅器と、前記第1の増幅器に従属接続された第2の増幅器とで構成されることを特徴とする請求項3ないし請求項7のいずれか

1項に記載された増幅回路。

【請求項9】 前記増幅器は、信号入力端子と前記第1の増幅回路との間、前記第1の増幅回路と前記第2の増幅回路との間、および、前記第2の増幅回路と信号出力端子との間に設けられたインピーダンス整合回路を、さらに具備することを特徴とする請求項8に記載された増幅回路。

【請求項10】 前記電源電位可変回路は、外部からの出力コントロール信号に基づき、前記第2の増幅器の電源端子に印加される電源電位を可変することを特徴とする請求項8または請求項9に記載された増幅回路。

【請求項11】 前記バイアス電源可変回路は、外部からの出力コントロール信号に基づき、前記第2の増幅器の制御端子に印加されるバイアス電位を可変することを特徴とする請求項8ないし請求項10のいずれか1項に記載された増幅回路。

【請求項12】 前記第1の増幅器あるいは前記第2の増幅器の少なくとも一方は、GaAsFETトランジスタを具備することを特徴とする請求項8ないし請求項11のいずれか1項に記載された増幅回路。

【請求項13】 請求項3ないし請求項12のいずれか1項に記載された増幅回路を備えることを特徴とする増幅回路モジュール。

【請求項14】 送信側出力段の電力増幅部に、請求項3ないし請求項12のいずれか1項に記載された増幅回路を備えることを特徴とする携帯電話機。

【請求項15】 送信側出力段の電力増幅部に、請求項13に記載された増幅回路モジュールを備えることを特徴とする携帯電話機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、増幅回路に係わり、特に、外部から入力される出力コントロール信号に基づき、増幅回路から低出力電力の出力信号を出力する時に、増幅回路の制御端子に印加されるバイアス電位を低減し、電源効率を向上させた電力増幅回路に関する。

【0002】

【従来の技術】 従来、例えば、携帯電話機等の無線装置の送信機においては、その送信側出力段に、高出力電力の出力信号を出力するために電力増幅回路が組み込まれている。

【0003】 PDC方式のデジタル携帯電話機で使用されている電力増幅回路は、直交変調されたデジタル信号を送信するために、リニアアンプが使用されている。このリニアアンプとは、入力と出力との関係が一次式で表される、A級あるいはAB級で動作する増幅回路である。

【0004】 一方、NTTあるいはTACS方式のアナログ携帯電話機で使用されている電力増幅回路は、直交変調されたデジタル信号を送信するために、飽和型アン

ブが使用されている。

【0005】携帯電話機で消費される大部分の消費電力は、送信側出力段の電力増幅回路で消費される直流電力であり、携帯電話機の消費電力を低減するためには、電力増幅回路で消費される直流電力を低減することが最も効果的である。

【0006】そのためには、電力増幅回路の電源効率（あるいは、変換効率）、即ち、電源から供給される直流電力と電力増幅回路から出力される出力信号の出力電力との比を向上させることが不可欠であるが、携帯電話機の電力増幅回路は、リニア型、飽和型に係わらず、最高出力で最も効率が良くなる。

【0007】例えば、PDC方式のデジタル携帯電話機の電力増幅回路として使用されているリニアアンプでは、UHF帯の電源効率として、最大出力時に35～45%の電源効率を得られており、また、NTTあるいはTACS方式のアナログ携帯電話機の電力増幅回路として使用されている飽和型アンプでは、入力に対して出力が飽和する領域で動作させるため、最高出力時に、リニアアンプに比べて10%程度高い電源効率を得られている。

【0008】なお、これらの技術については、例えば、トランジスタ技術、1992年、8月号に記載されている。

【0009】

【発明が解決しようとする課題】デジタル式セルラーシステムの標準規格(RCR STD-27B)に規定されているように、基地局と携帯電話機との間では、他の携帯電話機との混信をさけるため、交信に必要な出力のみを確保して、それ以上大きな出力を使用しないようにシステムが構成されている。例えば、デジタル式セルラーシステムにおいては、0.8W出力のクラスで、0～-20dBの範囲で4dB毎に5段階の出力制御を行うことが規定されている。

【0010】そのため、PDC方式のデジタル携帯電話機における、送信側出力段の高周波増幅回路は、APC(Automatic Power Control)回路により、その出力が制御されており、通話に必要な最小の出力となるように入力レベルが制御される。

【0011】その場合に、前記した如く、電力増幅回路は、最大出力で電源効率が最も良くなるため、電力増幅回路に入力される入力信号の入力レベルが小さい場合には、その電源効率が急激に低下することになる。

【0012】携帯電話機にとって、通話時間の延長が大きな課題になっており、特に、通話時、電池の約1/2の電力を消費する送信側出力段の電力増幅回路の電源効率を改善することは極めて重要な問題であるが、従来の携帯電話機では、送信側出力段の電力増幅回路に入力される入力信号の入力レベルが小さい場合に、その電源効率が急激に低下し、電源から供給される直流電力が、電

力増幅回路で無駄に消費されてしまうという問題点があった。

【0013】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、増幅回路において、入力される入力信号の入力レベルが小さい場合であっても、その電源効率を向上させることが可能となる技術を提供することにある。

【0014】本発明の他の目的は、携帯電話機において、送信側出力段の電力増幅回路の電源効率を向上させて、通話時間を延長することが可能となる技術を提供することにある。

【0015】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0017】増幅回路の制御方法において、増幅回路から低出力電力の出力信号を出力する時に、増幅回路の制御端子に印加されるバイアス電位低減させる。

【0018】増幅回路の制御方法において、増幅回路の制御端子に印加されるバイアス電位および増幅回路の電源端子に印加される電源電位を低減させる。

【0019】増幅回路において、増幅器と、外部からの出力コントロール信号に基づき増幅器の制御端子に印加されるバイアス電位を可変するバイアス電位可変回路とを具備する。

【0020】増幅回路において、増幅器と、外部からの出力コントロール信号に基づき増幅器の制御端子に印加されるバイアス電位を低減させるバイアス電位可変回路と、外部からの出力コントロール信号に基づき増幅器の電源端子に印加される電源電位を可変する電源電位可変回路とを具備する。

【0021】前記電源電位可変回路は、前記増幅器の電源端子と基準電位との間に接続される第1の分圧回路と、前記出力コントロール信号と前記第1の分圧回路から出力される分圧出力との差を増幅する第1の誤差増幅回路と、電源と前記増幅器の電源端子との間に接続され、前記第1の誤差増幅回路からの出力に基づいて前記増幅器の電源端子に印加する電源電位を可変する第1の制御回路とを具備する。

【0022】前記バイアス電位可変回路は、前記増幅器の制御端子と基準電位との間に接続される第2の分圧回路と、前記出力コントロール信号と前記第2の分圧回路から出力される分圧出力との差を増幅する第2の誤差増幅回路と、バイアス電源と前記増幅器の制御端子との間に接続され、前記第2の誤差増幅回路からの出力に基づいて前記増幅器の制御端子に印加するバイアス電位を可変する第2の制御回路とを具備する。

10

20

30

40

50

5

【0023】前記バイアス電位可変回路は、出力端子が前記増幅器の制御端子に接続される負電圧生成回路と、前記負電圧生成回路の入力端子と基準電位との間に接続される第3の分圧回路と、前記出力コントロール信号と前記第3の分圧回路から出力される分圧出力との差を増幅する第3の誤差増幅回路と、バイアス電源と負電圧生成回路の入力端子との間に接続され、前記第3の誤差増幅回路からの出力に基づいて前記負電圧生成回路の入力端子に印加する電位を可変する第3の制御回路とを具備する。

【0024】前記増幅器は、第1の増幅器と、前記第1の増幅器に従属接続された第2の増幅器とで構成される。

【0025】前記増幅器は、信号入力端子と前記第1の増幅回路との間、前記第1の増幅回路と前記第2の増幅回路との間、および、前記第2の増幅回路と信号出力端子との間に設けられたインピーダンス整合回路を、さらに具備する。

【0026】前記電源電位可変回路は、外部からの出力コントロール信号に基づき、前記第2の増幅器の電源端子に印加される電源電位を可変する。

【0027】前記バイアス電源可変回路は、外部からの出力コントロール信号に基づき、前記第2の増幅器の制御端子に印加されるバイアス電位を可変する。

【0028】前記第1の増幅器あるいは前記第2の増幅器の少なくとも一方は、GaAs FETトランジスタを具備する。

【0029】前記増幅回路は、携帯電話機の送信側出力段の電力増幅部を構成する。

【0030】前記増幅回路は増幅回路モジュールとして構成され、この増幅回路モジュールは、携帯電話機の送信側出力段の電力増幅部を構成する。

【0031】前記手段によれば、増幅回路から低出力電力の出力信号を出力する時に、増幅回路の制御端子に印加されるバイアス電位、あるいは、増幅回路の制御端子に印加されるバイアス電位および増幅回路の電源端子に印加される電源電位を低減させるようにしたので、増幅回路の増幅素子の飽和点を低出力電力側にシフトさせることができ、それにより、増幅回路の電源効率を向上させることができる。

【0032】

【発明の実施の形態】以下、本発明の発明の実施の形態を図面を参照して説明する。

【0033】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0034】〔発明の実施の形態1〕図1は、本発明の一実施の形態である増幅回路を、送信側出力段の電力増幅回路として使用するPDC方式のデジタル携帯電話機の高周波部の回路構成を示すブロック図である。

6

【0035】同図に示すように、 $\pi/4$ シフトQPSK変調器10により $\pi/4$ シフトQPSK変調された送信信号は、ミキサ11でRF送信信号に変換された後、バッファアンプ12で増幅され、RFフィルタ13を通過して電力増幅部14に入力される。電力増幅部14で増幅されたRF送信信号は、カプラ15、分波器16を経由してアンテナ17に至り、アンテナ17から電波を送信する。

【0036】アンテナ17で受信されたRF受信信号は、分波器16を経由してアンプ18に入力される。アンプ18で増幅されたRF受信信号は、RFフィルタ19を通過し、ミキサ20で第1IF（中間周波）信号に変換される。ミキサ20からの第1IF信号は、第1IFフィルタ21を通過し、アンプ22で増幅された後、ミキサ23で第2IF信号に変換される。

【0037】ミキサ23からの第2IF信号は、第2IFフィルタ24を通過し、アンプ25で増幅された後、 $\pi/4$ シフトQPSK復調器26で復調される。

【0038】ここで、周波数シンセサイザ28は、基準発振器27からの基準信号に基づき、ミキサ（11，20）に入力する局発（Local）信号を生成する。

【0039】また、APC回路29は、カプラ15からのRF送信信号と、制御回路（図示せず）からのAPCデータに基づいて、電力増幅部14に出力コントロール信号を出力し、電力増幅部14から出力されるRF送信信号の出力電力を制御する。

【0040】即ち、APC回路29は、例えば、デジタル式セルラーシステム0.8W出力のクラスにおける、0〜−20dBの範囲で4dB毎の5段階の出力制御を行う。

【0041】図1に示すバイアス電位可変回路30は、APC回路29からの出力コントロール信号に基づいて、電力増幅部14の制御端子に印加されるバイアス電位を可変する。

【0042】なお、図1に示す回路は、バイアス電位可変回路30が付加された以外は、従来の、PDC方式のデジタル携帯電話機の高周波部の回路構成と同じである。また、電力増幅部14およびバイアス電位可変回路30が、本発明の増幅回路を構成する。

【0043】図2は、本実施の形態の電力増幅部14の回路構成を、APC回路29とバイアス電位可変回路30との相互関係とともに示すブロック図であり、同図に示すように、電力増幅部14は、アッテネートアンプ40とRFパワーアンプ41とが、従属接続されて構成される。

【0044】このアッテネートアンプ40は、APC回路29からの出力コントロール信号に基づいて、RF入力信号の増幅度を可変する増幅回路であり、アッテネートアンプ40は、減衰器の役割を果たす。RFパワーアンプ41は、アッテネートアンプ40から入力されるR

F入力信号を電力増幅する増幅回路であり、一般に、リニアアンプ（A級あるいはAB級で動作する増幅回路）で構成される。

【0045】従来の電力増幅部14では、RFパワーアンプ41に入力されるRF入力信号をアッテネータアンプ40で制御し、RFパワーアンプ41から出力されるRF出力信号の出力電力を制御するようにしていた。この場合に、リニアアンプは、最高出力の時に電源効率が最大になるので、RFパワーアンプ41に入力されるRF入力信号の入力レベルを小さくすると、RFパワーアンプ41での電源効率が急激に低下することになる。

【0046】そのため、本実施の形態では、図2に示すように、バイアス電位可変回路30を設け、APC回路29からの出力コントロール信号に基づいて、バイアス電位可変回路30でRFパワーアンプ41の制御端子に印加されるバイアス電位を低減させ、RFパワーアンプ41に入力されるRF入力信号の入力レベルが小さい場合であっても、RFパワーアンプ41での電源効率を向上させるようにしたものである。

【0047】次に、本実施の形態において、RFパワーアンプ41がFETトランジスタで構成されるものとして、バイアス電位可変回路30で、RFパワーアンプ41に印加されるバイアス電位を低減させることにより、RFパワーアンプ41に入力されるRF入力信号の入力

$$POM = I_{out1} \times V_{out1} / 2 \dots\dots\dots (2)$$

したがって、電源効率（ η_{m1} ）は、（3）式のように表される。

$$\begin{aligned} \eta_{m1} &= 100 \times POM / PDC \\ &= 100 \times (I_{out1} \times V_{out1}) / 2 \times (ID1 \times VDS1) \dots\dots\dots (3) \end{aligned}$$

（3）式から明らかなように、A級電力増幅回路では、 $I_{out1} = ID1$ 、 $V_{out1} = VDS1$ の時、最大の電源効率50%が得られる。しかしながら、実際には回路損失のため30～40%程度にしかない。また、電源効率は最大出力の時に最大となる。

【0054】したがって、前記A級電力増幅回路に入力される入力信号の入力レベルが小さい場合には、出力信号の電流振幅及び電圧振幅が、 I_{out1} および V_{out1} より小さくなり、電源効率が著しく低下することになる。

【0055】次に、前記A級電力増幅回路に印加されるバイアス電位を低減、即ち、バイアス電流を減少させた場合を考える。この時の交流負荷直線はA'-B'とな

$$\eta_{m2} = 100 \times (I_{out2} \times V_{out2}) / 2 \times (ID2 \times VDS1) \dots\dots\dots (4)$$

（4）式から明らかなように、（ $I_{out2} \times V_{out2}$ ）の値は、（ $I_{out1} \times V_{out1}$ ）の値よりも小さいが、動作点（P2）の時のドレイン電流（ID2）を最適な値に設定することにより、（ $ID2 \times VDS1$ ）の値もそれに合わせて小さくできるので、電源効率

レベルが小さい場合であっても、RFパワーアンプ41での電源効率が向上できることを説明する。

【0048】図3は、FETトランジスタで構成されるA級電力増幅回路の一例の動特性を表すグラフである。

【0049】一般に、A級電力増幅回路では、動作点（P1）が交流負荷直線A-Bのほぼ中央になるようにバイアス電位を設定する。その時の、ドレイン電流をID1、ドレイン電圧をVDS1、ゲートに印加される入力信号をVin1（ $V_{in1} \cdot \sin \omega t$ ）とすると、負荷側に、電流がドレイン電流（ID1）を中心にしてIout1の振幅で変動し、電圧がドレイン電圧（VDS1）を中心にして、Vout1の振幅で変動する出力信号が得られる。

【0050】この場合（動作点（P1）の場合）に、電源から供給される直流電力（PDC）は、（1）式のように表される。

【0051】

【数1】

$$PDC = ID1 \times VDS1 \dots\dots\dots (1)$$

また、出力信号の電力（POM）は、（2）式のように表される。

【0052】

【数2】

【0053】

【数3】

り、動作点は、図3のP2になる。この時のドレイン電流はID2、ドレイン電圧はVDS1となる。

【0056】この場合に、前記A級電力増幅回路に入力される入力信号の入力レベルが小さいので、ゲートに印加される入力信号は、リニア動作範囲内のVin2（ $V_{in2} \cdot \sin \omega t$ ）となり、負荷側には、電流がドレイン電流（ID2）を中心にしてIout2の振幅で変動し、電圧がドレイン電圧（VDS1）を中心にして、Vout2の振幅で変動する出力信号が得られる。

【0057】この場合の電源効率（ η_{m2} ）は、（4）式のように表される。

【0058】

【数4】

（ η_{m2} ）は、（3）式で求められる電源効率（ η_{m1} ）とほぼ同等の値とすることができる。

【0059】このように、A級電力増幅回路のバイアス電流を減少させることにより、入力信号の入力レベルが小さい場合のA級電力増幅回路の電源効率を、A級電力

増幅回路のバイアス電流を変化させない場合よりも改善（あるいは向上）させることが可能となる。

【0060】したがって、本実施の形態においては、RF入力信号の入力レベルが減少してても、RFパワーアンプ41の電源効率を改善（あるいは向上）させることが可能となる。これにより、携帯電話機の通話時間を延長することが可能となる。

【0061】この場合、基地局との距離が比較的近い場合、あるいは、混信をさける意味でRF出力信号の出力電力を、例えば、5dB毎に-20dBまで下げた場合でも、RF入力信号レベルがRFパワーアンプ41のリニア動作範囲内であれば通話が可能であり、RFパワーアンプ41の制御端子に印加されるバイアス電位を低減させても差し支えない。

【0062】図4は、図2に示す各回路の一例の回路構成を示すブロック図である。

【0063】図4に示すアッテネートアンプ40は、端子(4)から入力されるRF入力信号を、減衰器(ATT)401で減衰し、減衰器401で減衰されたRF入力信号を、従属接続されたアンプ(402~404)で増幅し、端子(5)から出力するようにしたものである。ここで、減衰器401は、端子(2)から入力される、APC回路29からの出力コントロール信号に基づいて、その減衰量が制御される。

【0064】なお、アッテネートアンプ40の端子(3, 6, 8)は、基準電位が印加される基準端子(GND)、端子(1)は電源電位が印加される電源端子(VDD)、また、端子(7)は、最終段のアンプ404の電力増幅度を制御する場合の制御信号が入力される端子(VPC)である。

【0065】PDC方式の携帯電話機の場合、RFパワーアンプ41で23~27dBの電力ゲインを得るが一般的であり、そのため、図4に示すRFパワーアンプ41は、ドライバアンプ411とパワーアンプ412とから成る2段構成のパワーアンプで構成される。また、入力端子(RF-IN)とドライバアンプ411との間、ドライバアンプ411とパワーアンプ412との間、および、パワーアンプ412と出力端子(RF-OUT)との間には、インピーダンス整合回路(413~415)が設けられる。このインピーダンス整合回路(413~415)は、RF信号を損失なく増幅するために設けられる。

【0066】図5は、図4に示すRFパワーアンプ41の一例の回路構成を示す回路図である。

【0067】図5に示すRFパワーアンプ回路は、電力増幅素子として、GaAsFETトランジスタを用いたアンプ回路であり、入力端子(RF-IN)とドライバアンプ411を構成するGaAsFETトランジスタ(FET1)との間、GaAsFETトランジスタ(FET1)とパワーアンプ412を構成するGaAsFE

Tトランジスタ(FET2)との間、および、GaAsFETトランジスタ(FET2)と出力端子(RF-OUT)との間のインピーダンス整合回路は、マイクロストリップライン(MSL1~MSL9)で構成される。

【0068】図4に示すバイアス電位可変回路30は、出力端子がRFパワーアンプ41の制御端子(VGG)に接続される負電源生成回路304と、負電源生成回路304の入力端子と基準電位との間に接続される第1の分圧回路303と、第1の分圧回路303の分圧電圧と、出力コントロール信号との差を増幅する第1の誤差増幅回路302と、電圧源(バイアス電源)と負電源生成回路304の入力端子との間に接続され、第1の誤差増幅回路302からの出力に基づき負電源生成回路304の入力端子に印加する電位を制御する第1の制御回路301とで構成される。

【0069】なお、電力増幅素子として、GaAsFETトランジスタを使用する場合には、そのゲート電極には負電位のバイアス電位を印加する必要があるため、図4に示すバイアス電位可変回路30では、負電源生成回路304が設けられている。しかしながら、バイアス電源から負のバイアス電位が、バイアス電位可変回路30に供給される場合には、この負電源生成回路304は必要でない。

【0070】図6は、図4に示す第1の制御回路301、第1の誤差増幅回路302及び第1の分圧回路303の一例を示す回路図である。

【0071】図6(a)は、制御回路301としてNPNトランジスタ(TR1)を、誤差増幅回路302として演算増幅器(OP)を用いたものであり、演算増幅器(OP)の出力がNPNトランジスタ(TR1)のベースに入力される。

【0072】ここで、NPNトランジスタ(TR1)は、エミッタホロワ増幅回路を構成するので、演算増幅器(OP)は通常の非反転増回路を構成する。そして、良く知られているように、分圧回路303を構成する抵抗(R2)の抵抗値を大きくすることにより、NPNトランジスタ(TR1)のエミッタ電位を、出力コントロール信号の電位とほぼ同じ電位とすることができる。

【0073】図6(b)は、制御回路301としてNPNトランジスタ(TR1)を、誤差増幅回路302としてNPNトランジスタ(TR2)を用いたものであり、NPNトランジスタ(TR1)のベースが、NPNトランジスタ(TR2)のコレクタと接続され、また、NPNトランジスタ(TR1)のベースが抵抗(R3)を介して、NPNトランジスタ(TR1)のコレクタと接続される。NPNトランジスタ(TR1)のベースが、分圧回路303を構成する抵抗(R1)と抵抗(R2)との接続点に接続される。

【0074】図6(b)に示す回路では、NPNトランジスタ(TR1)のエミッタ電位が所定の電圧である状

態から、NPNトランジスタ（TR2）のエミッタに印加される出力コントロール信号の電圧を減少（あるいは増加）すると、NPNトランジスタ（TR2）のベース・エミッタ間の電位差が増大（あるいは減少）し、コレクタ電流が増大（あるいは減少）する。これにより、抵抗（R3）での電圧降下が増大（あるいは減少）し、NPNトランジスタ（TR1）のベース電位が減少（あるいは増大）し、NPNトランジスタ（TR1）のエミッタ電位が減少（あるいは増大）する。

【0075】ここで、分圧回路303を構成する抵抗（R2）の抵抗値を大きくすることにより、NPNトランジスタ（TR1）のエミッタ電位を、出力コントロール信号の電位とほぼ同じ電位とすることができる。なお、図6に示す回路は、それぞれ安定化電源回路として周知の回路である。

【0076】図7は、本実施の形態のRFパワーアンプ41において、バイアス電流を変化させた場合の、RF入力信号の入力電力と、RF出力信号の出力電力との関係を示すグラフであり、また、図8は、本実施の形態のRFパワーアンプ41において、バイアス電流を変化させた場合の、RF出力信号の出力電力と電源効率との関係を示すグラフである。

【0077】図7、図8から明らかなように、RFパワーアンプ41の制御端子に印加されるバイアス電位を低減、即ち、RFパワーアンプ41の増幅素子（図5に示すGaAsFETトランジスタ（FET1）およびGaAsFETトランジスタ（FET2））のバイアス電流を減少させると、リニア動作範囲が狭くなり、RF出力信号の出力電力を制御することができる。

【0078】また、バイアス電流を減少させることにより、電源効率が最大となる飽和領域（図7に示す平坦部分）が低出力側にシフトするので、RF入力信号の入力電力が減少してても、高い電源効率を維持することができ、電源効率を向上（あるいは改善）することができる。

【0079】また、図7、図8において、バイアス電流が800mAの時が、従来のRFパワーアンプに相当するグラフであり、図8から明らかなように、従来のRFパワーアンプでは、RF入力信号の入力電力が小さい時には、電源効率が著しく低下する。

【0080】〔発明の実施の形態2〕図9は、本発明の他の実施の形態である増幅回路を、送信側出力段の電力増幅回路として使用するPDC方式のデジタル携帯電話機の高周波部の回路構成を示すブロック図である。

【0081】同図に示すように、本実施の形態の増幅回路は、APC回路29からの出力コントロール信号に基づいて、バイアス電位可変回路30で電力増幅部14の制御端子に印加されるバイアス電位を可変するとともに、電源電位可変回路31で電力増幅部14の電源端子に印加される電源電位を可変するようにしたものであ

る。

【0082】なお、電力増幅部14、バイアス電位可変回路30および電源電位可変回路31が、本発明の増幅回路を構成する。また、本実施の形態においても、図9に示す電力増幅部14は、アッテネートアンプ40とRFパワーアンプ41とが、従属接続されて構成される。

【0083】図10は、図9に示す電源電位可変回路31の一例の回路構成示すブロック図である。

【0084】図10に示す電源電位可変回路31は、RFパワーアンプ41の電源端子（VDD）と基準電位との間に接続される第2の分圧回路313と、第2の分圧回路313の分圧電圧と、出力コントロール信号との差を増幅する第2の誤差増幅回路312と、電圧源（電源）とRFパワーアンプ41の電源端子（VDD）との間に接続され、第2の誤差増幅回路312からの出力に基づきRFパワーアンプ41の電源端子（VDD）に印加する電源電位を制御する第2の制御回路311とで構成される。

【0085】なお、図10に示す第2の制御回路311及び第2の誤差増幅回路312とは、前記図6に示す回路で構成される。

【0086】次に、本実施の形態において、バイアス電位可変回路30及び電源電位可変回路31で、RFパワーアンプ41の制御端子に印加されるバイアス電位及び電源端子に印加される電源電位を低減させることにより、RFパワーアンプ41に入力されるRF信号の入力レベルが小さい場合であっても、RFパワーアンプ41での電源効率が向上できることを説明する。

【0087】図11は、FETトランジスタで構成されるA級電力増幅回路の一例の動特性を表すグラフである。

【0088】図3の場合と同様、動作点（P1）が交流負荷直線A-Bのほぼ中央になるようにバイアス電位を設定した時の、ドレイン電流を $ID1$ 、ドレイン電圧を $VDS1$ 、ゲートに印加される入力信号を V_{in1} （ $V_{in1} \cdot \sin \omega t$ ）とすると、負荷側に、電流がドレイン電流（ $ID1$ ）を中心にして I_{out1} の振幅で変動し、電圧がドレイン電圧（ $VDS1$ ）を中心にして、 V_{out1} の振幅で変動する出力信号が得られる。

【0089】この場合（動作点（P1）の場合）に、前記した通り、電源効率（ η_{m1} ）は、（3）式のように表される。

【0090】次に、A級電力増幅回路のバイアス電位を低減、即ち、A級電力増幅回路のバイアス電流を減少させ、かつ、電源電位を低減させた場合を考える。この時の交流負荷直線はA'-B'となり、動作点は、図3のP3になる。この時のドレイン電流は $ID3$ 、ドレイン電圧は $VDS3$ となる。

【0091】この場合に、A級電力増幅回路に入力されるRF信号の入力レベルが小さいので、ゲートに印加さ

れる入力信号は、リニア動作範囲内の V_{in3} ($V_{in3} \cdot \sin \omega t$) となり、負荷側には、電流がドレイン電流 (I_{D3}) を中心にして I_{out3} の振幅で変動し、電圧はドレイン電圧 (V_{DS3}) を中心にして、 V_{out3} の振幅で変動する、出力信号が得られる。

$$\eta_{m3} = 100 \times (I_{out3} \times V_{out3}) / 2 \times (I_{D3} \times V_{DS3})$$

..... (5)

(5) 式から明らかなように、動作点 ($P3$) の時のドレイン電流 (I_{D3}) とドレイン電圧 (V_{DS3}) を最適な値に設定することにより、($I_{D3} \times V_{DS3}$) の値もそれに合わせて小さくできるので、電源効率 (η_{m3}) は、(3) 式で求められる電源効率 (η_{m1}) とほぼ同等の値とすることができる。

【0094】このように、A級電力増幅回路のバイアス電位及び電源電位を低減させることにより、入力信号の入力レベルが小さい場合のA級電力増幅回路の電源効率を、A級電力増幅回路のバイアス電位及び電源電位を変化させない場合よりも改善（あるいは向上）させることが可能となる。

【0095】したがって、本実施の形態においても、RF入力信号の入力レベルが減少してても、RFパワーアンプ41の電源効率を改善（あるいは向上）させることが可能となる。これにより、携帯電話機の通話時間を延長することが可能となる。

【0096】なお、前記各実施の形態では、RFパワーアンプ41がA級動作の場合を例に挙げて説明したが、RFパワーアンプ41がAB級動作の場合でも同様に実施可能である。

【0097】また、RFパワーアンプ41の従属接続された各増幅素子（図5に示すGaAsFETトランジスタ ($FET1$) およびGaAsFETトランジスタ ($FET2$)）のバイアス電位、あるいは、バイアス電位および電源電位を低減させるようにしたが、電力を大きく消費するのは後段の増幅素子（図5に示すGaAsFETトランジスタ ($FET2$)）であるので、後段の増幅素子のバイアス電位、あるいはバイアス電位及び電源電位を可変するようにしてもよく、その場合でも充分に出力電力をコントロールすることが可能である。

【0098】また、RFパワーアンプ41に入力されるRF入力信号の入力レベルが小さい場合には、アッテネートアンプ40を省略することも可能である。

【0099】さらに、前記各実施の形態では、各回路ブロックがそれぞれ独立したモジュール、あるいはICで構成される場合について説明したが、図4（あるいは図10）に示すアッテネートアンプ40、RFパワーアンプ41、バイアス電位可変回路30及び電源電位可変回路31全体を、ハイブリッド構成の1つのモジュールとしてもよい。

【0100】以上、本発明を発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態

【0092】この場合の電源効率 (η_{m3}) は、(5) 式のように表される。

【0093】

【数5】

に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0101】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0102】(1) 本発明によれば、増幅回路から低出力電力の出力信号を出力する時に、増幅回路の増幅素子に印加されるバイアス電位、あるいは、増幅回路の増幅素子に印加されるバイアス電位および電源電位を低減させるようにしたので、増幅回路の増幅素子の飽和点を低出力電力側にシフトさせることができ、それにより、増幅回路の電源効率を向上させることができる。

【0103】(2) 本発明によれば、動作時に、消費電力の約半分を消費する電力増幅回路の電源効率を改善することが可能となる。

【0104】(3) 本発明によれば、電池で駆動される携帯電話機において、通話時の電力消費量を少なくすることができるので、携帯電話機器の通話時間を延長することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である増幅回路を、送信側出力段の電力増幅回路として使用するPDC方式のデジタル携帯電話機の高周波部の回路構成を示すブロック図である。

【図2】本実施の形態の電力増幅部14の回路構成を、APC回路29とバイアス電位可変回路30との相互関係とともに示すブロック図である。

【図3】FETトランジスタで構成されるA級電力増幅回路の一例の動特性を表すグラフである。

【図4】図2に示す各回路の一例の回路構成示すブロック図である。

【図5】図4に示すRFパワーアンプ41の回路構成を示す回路図である。

【図6】図4に示す第1の制御回路301、第1の誤差増幅回路302及び第1の分圧回路303の一例を示す回路図である。

【図7】本実施の形態1のRFパワーアンプ41において、バイアス電流を変化させた場合の、RF入力信号の入力電力と、RF出力信号の出力電力との関係を示すグラフである。

【図8】本実施の形態1のRFパワーアンプ41において、バイアス電流を変化させた場合の、RF出力信号の

10

20

30

40

50

出力電力と電源効率との関係を示すグラフである。

【図9】本発明の他の実施の形態である増幅回路を、送信側出力段の電力増幅回路として使用するPDC方式のデジタル携帯電話機の高周波部の回路構成を示すブロック図である。

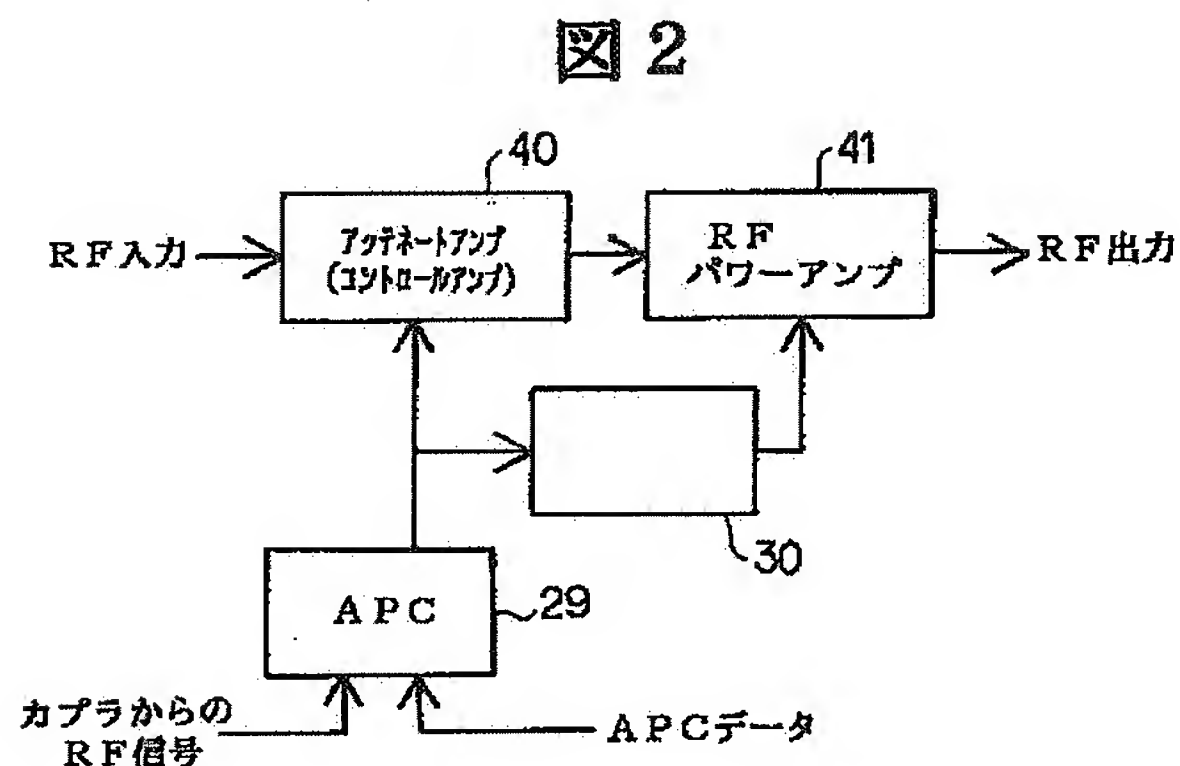
【図10】図9に示す電源電位可変回路31の一例の回路構成を示すブロック図である。

【図11】FETトランジスタで構成されるA級電力増幅回路の一例の動特性を表すグラフである。

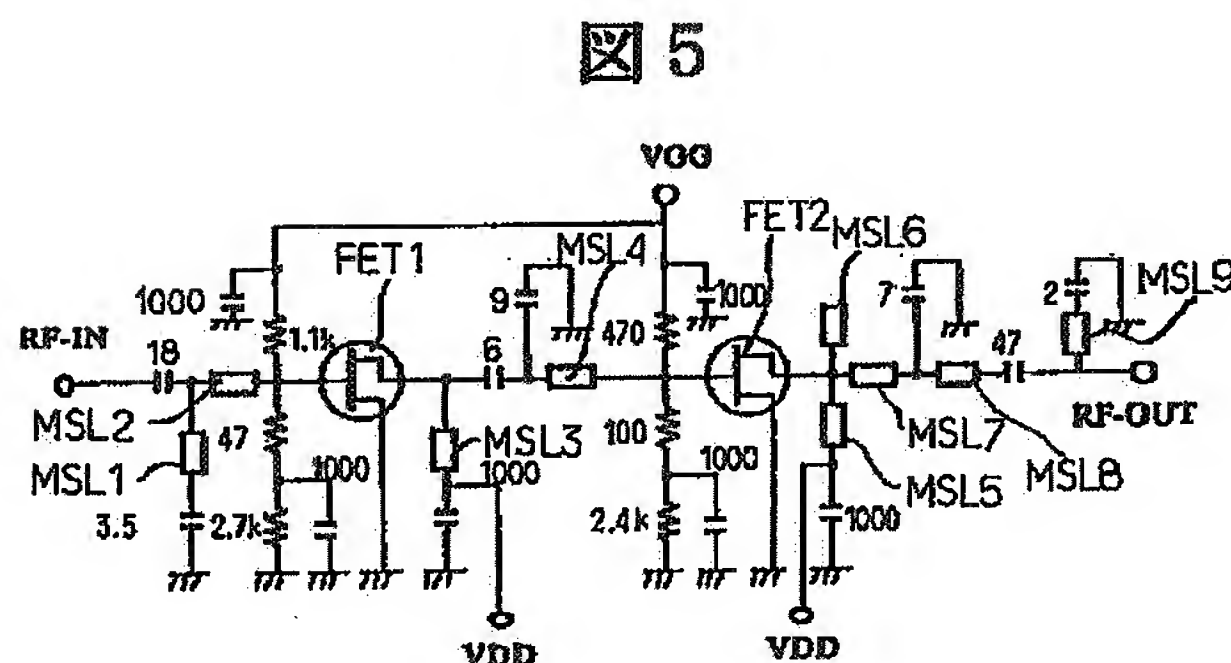
【符号の説明】

10… $\pi/4$ シフトQPSK変調器、11, 20, 23…ミキサ、12, 18, 22, 25, 402, 403, 404…アンプ、13, 19, 21, 24…フィルタ、

【図2】



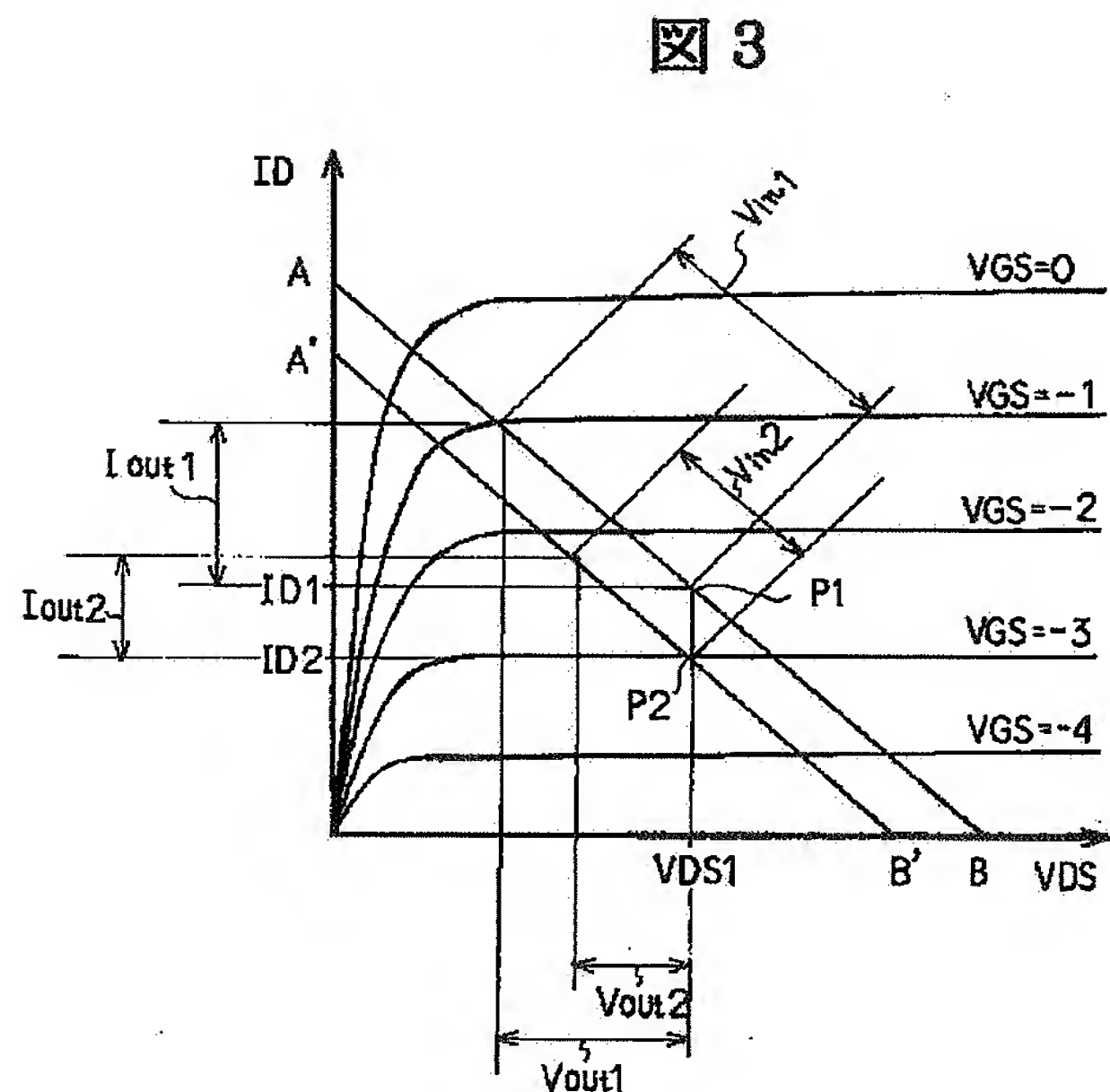
【図5】



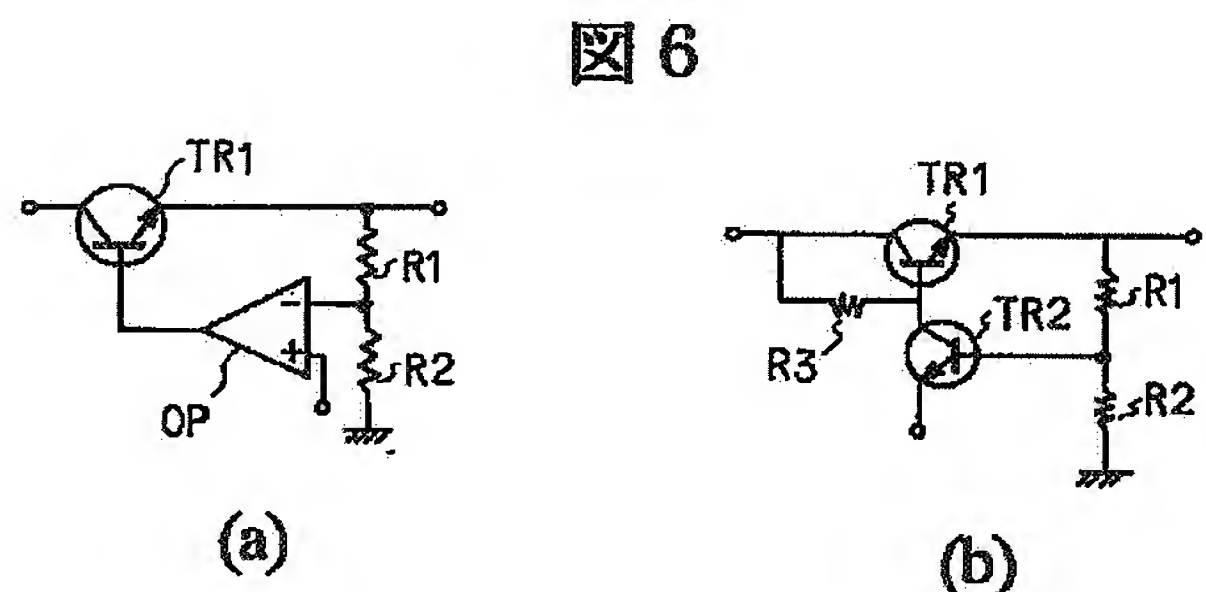
ただし、□：マイクロストリップライン (MSL)
コンデンサの値はpFである。

14…電力増幅部、15…カプラ、16…分波器、26… $\pi/4$ シフトQPSK復調器、27…基準発振器、28…周波数シンセサイザ、29…APC回路、30…バイアス電位可変回路、31…電源電位可変回路、40…アッテネータ、41…RFパワーアンプ、301, 311…制御回路、302, 312…誤差増幅回路、303, 313…分圧回路、304…負電源生成回路、401…減衰器 (ATT)、411…ドライバーアンプ、412…パワーアンプ、413, 414, 415…インピーダンス整合回路、FET…GaAs FETトランジスタ、MSL…マイクロストリップライン、TR…NPNトランジスタ、R…抵抗、OP…演算増幅器。

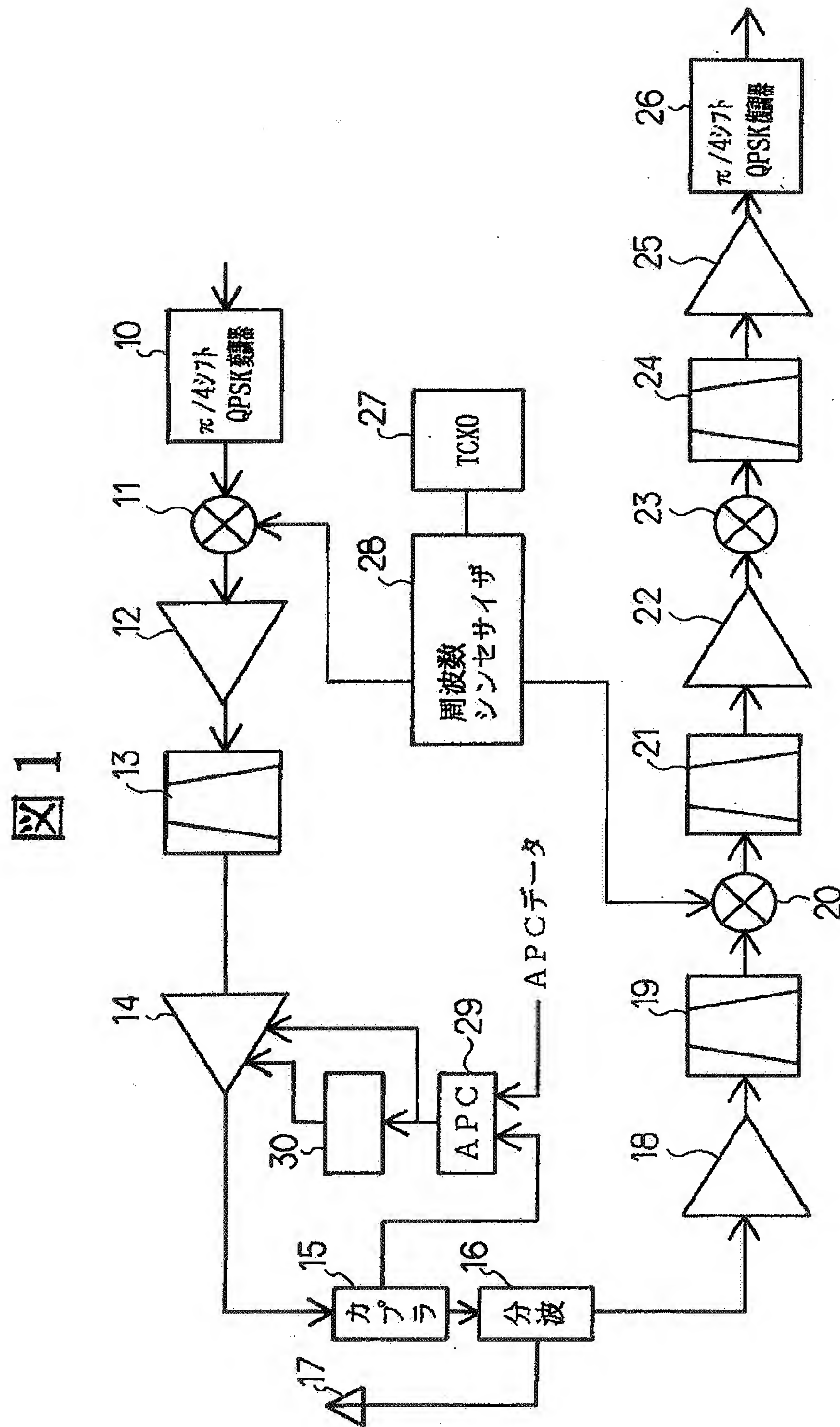
【図3】



【図6】



【図1】



4

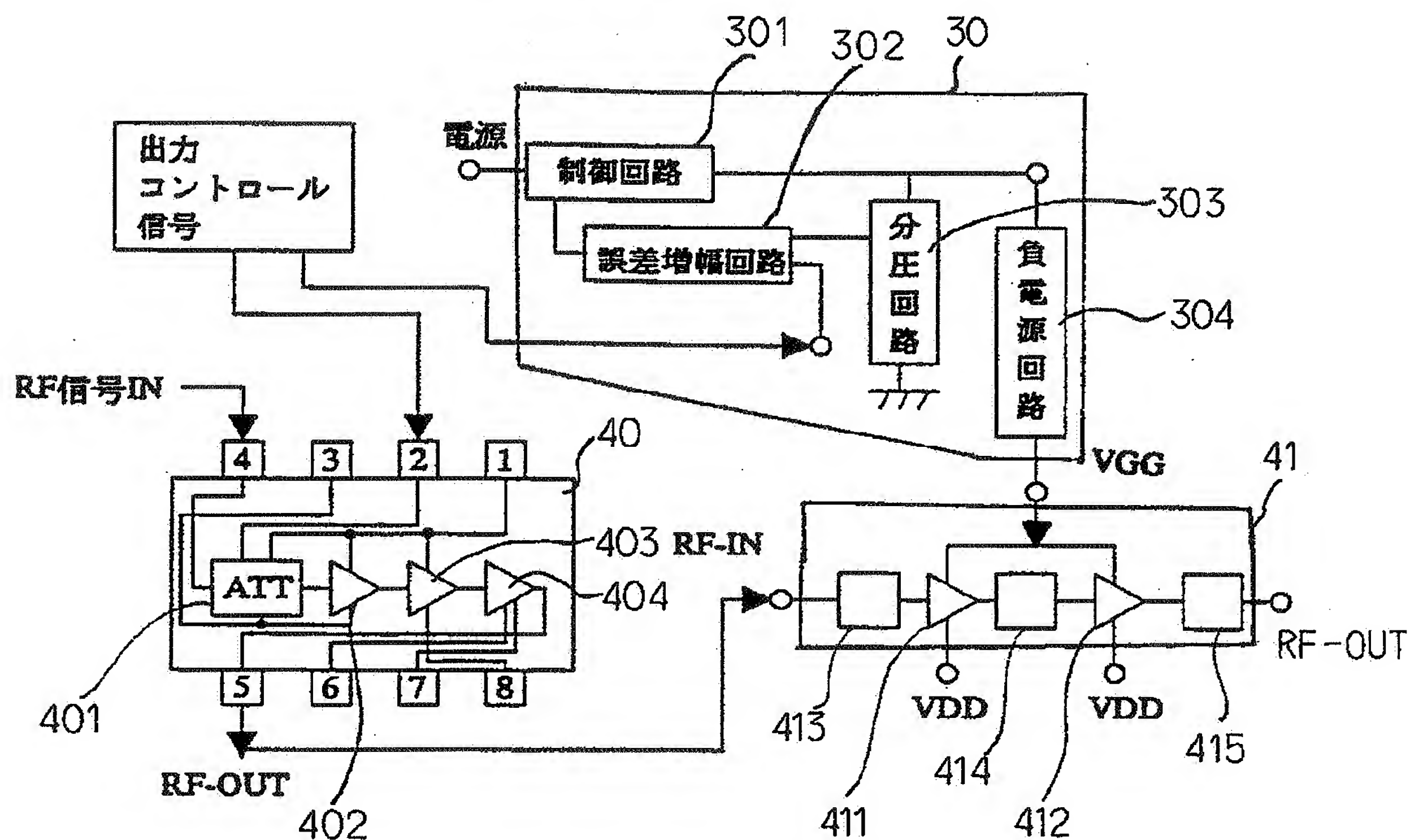


Figure 7 is a schematic diagram showing a rectangular frame with a central cross-like structure. The cross consists of two intersecting lines forming a plus sign. The lines of the cross are thicker than the frame. The entire diagram is enclosed in a rectangular border.

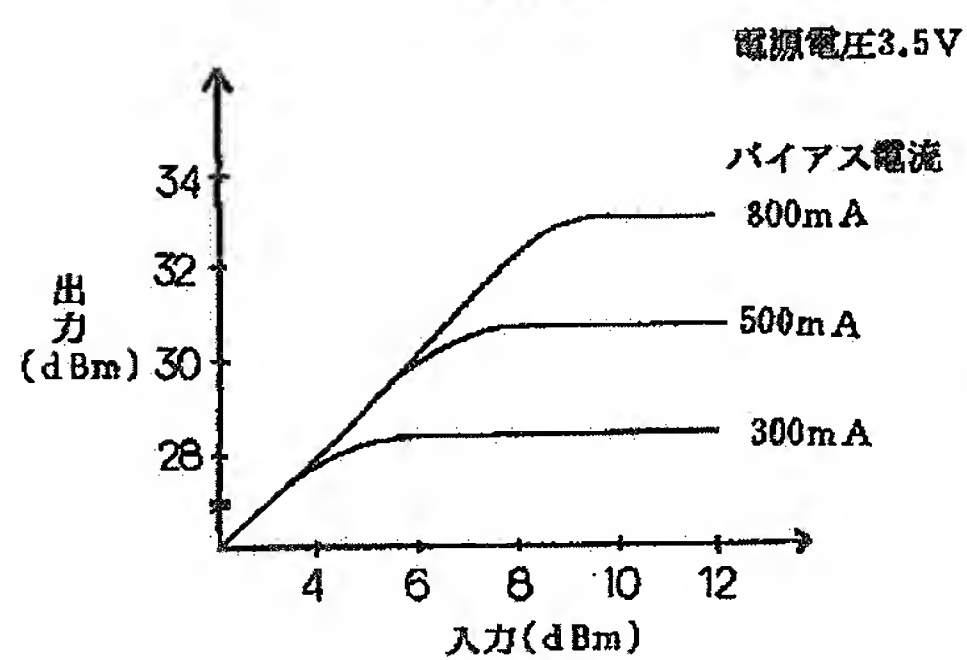
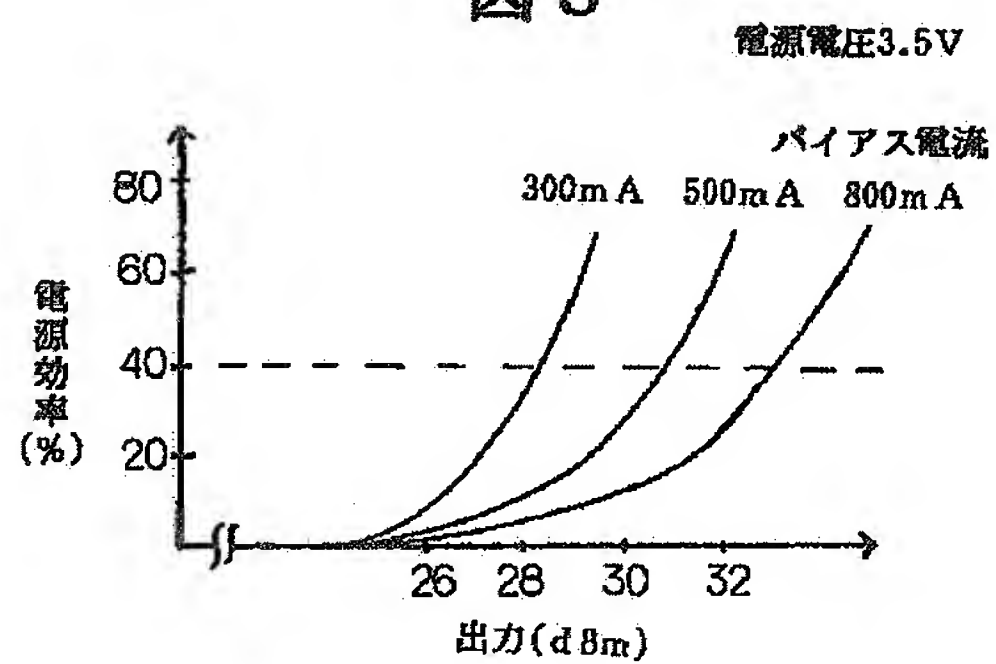
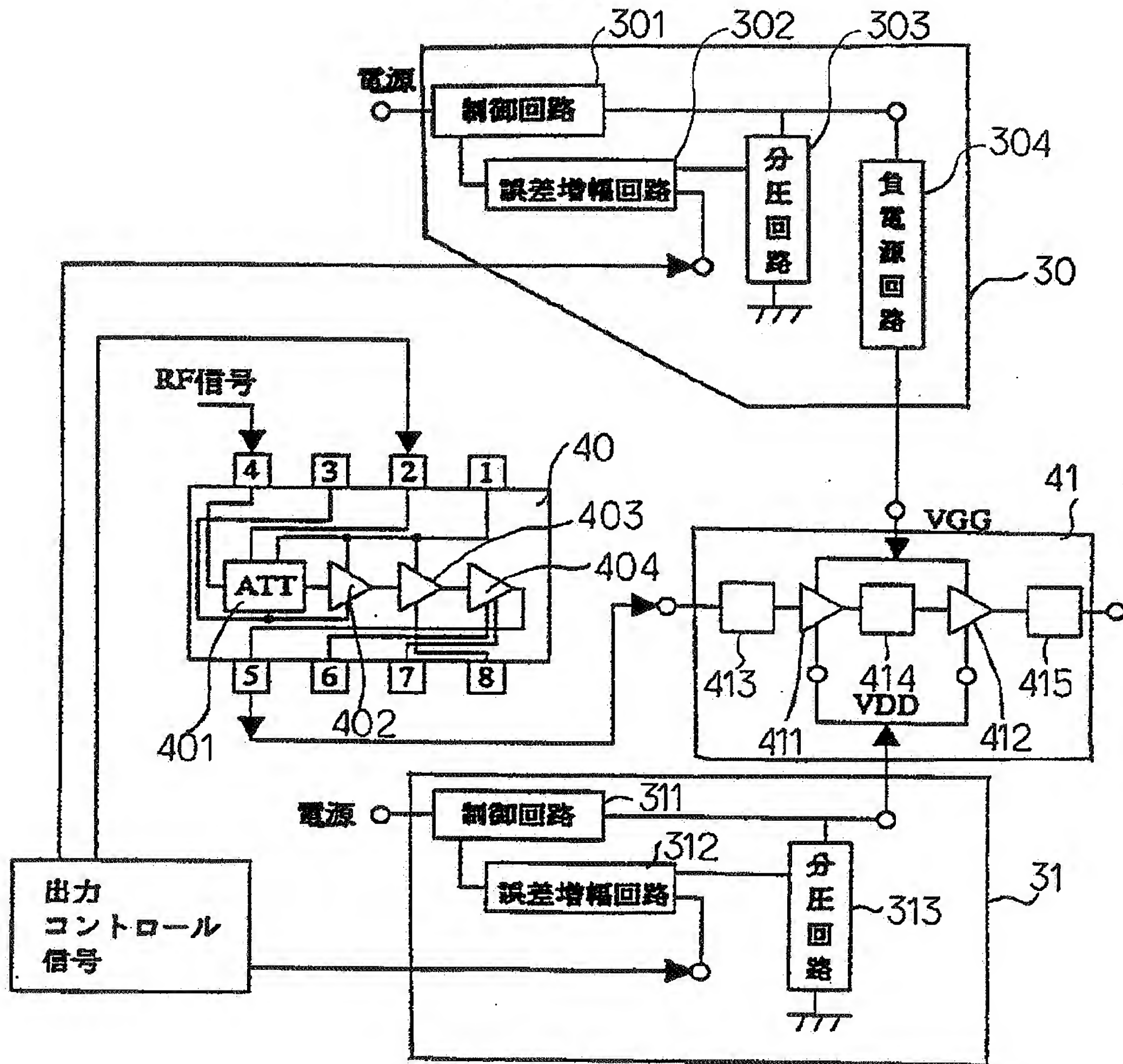


图 8



【図10】

図 10



【図 1 1】

図 1 1

